

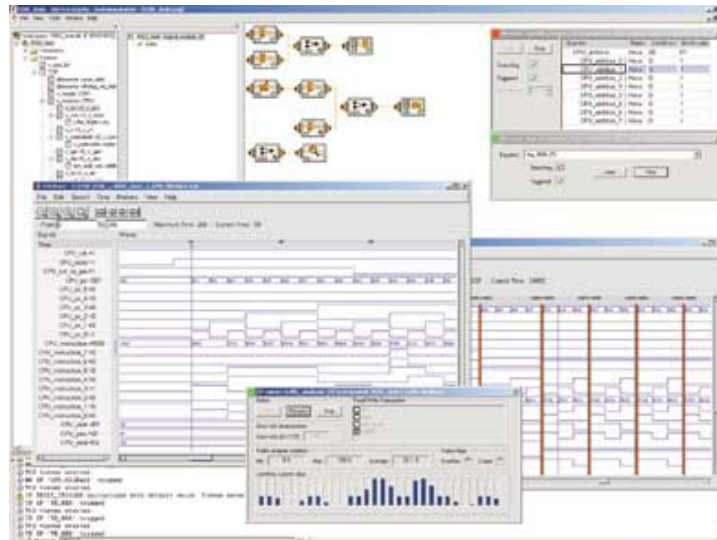
Débogage

FPGA sous contrôle grâce à de l'instrumentation embarquée

Instrumenter un FPGA avec des outils d'analyse fournis sous forme de blocs IP logiciels, telle est l'offre du français Temento Systems. Objectif : améliorer la mise au point d'une application en insérant dans le code RTL des cœurs d'instruments écrits en langage HDL.

L'accès à la logique et aux bus internes des FPGA de dernière génération devient un véritable casse-tête pour les utilisateurs. En effet, l'instrumentation traditionnelle, comme l'analyse logique, n'a plus accès au cœur d'un FPGA. Quant aux technologies spécifiques d'analyse de la conception à base d'instrumentation embarquée qui existent chez les fondeurs (Signal Tape chez Altera ou ChipScope chez Xilinx), il s'agit d'outils de bas niveau qui réalisent uniquement un débogage très fin au niveau de la porte physique.

Le français Temento Systems comble ce manque avec sa solution DiaLite Instrumentation (DLI). Son but est en effet d'accroître les capacités de débogage matériel et logiciel d'un FPGA, en y insérant des instruments de mesure et d'analyse au moment de l'écriture du code RTL, avant synthèse. Ces blocs IP logiciels, développés par Temento en VHDL ou en Verilog, sont rajoutés pendant la phase de conception du circuit grâce à deux outils. Le premier, le générateur de cœurs IP permet de choisir et de paramétrer des instruments parmi une liste puis, si on le désire, de les assembler de manière logique pour obtenir des chaînes de mesure complexes. Le second, un outil d'insertion



La synthèse de blocs IP spécialisés dans l'analyse de signaux, en même temps que le code RTL de la conception, permet d'instrumenter de manière native un FPGA et de surveiller facilement son activité interne.

face, il est ainsi possible grâce aux triggers intégrés dans le FPGA d'arrêter la séquence d'un processeur embarqué, donc de s'arrêter sur une ligne de code, puis de corréliser cette information avec les données fournies par l'analyseur logique. Cette possibilité ouvre la voie à un véritable travail de covérification matériel/logiciel à l'intérieur du FPGA, une opération jusque-

là très difficile à réaliser. En termes d'occupation mémoire de l'instrumentation, il n'y a pas de limites, puisque celle-ci dépend de la place dont on dispose sur le composant choisi et des contraintes propres à l'application en capacité mémoire. On estime cependant que, si 15% de la surface du composant est réservée à de l'instrumentation, la conception gagne en robustesse.

En termes d'occupation mémoire de l'instrumentation, il n'y a pas de limites, puisque celle-ci dépend de la place dont on dispose sur le composant choisi et des contraintes propres à l'application en capacité mémoire. On estime cependant que, si 15% de la surface du composant est réservée à de l'instrumentation, la conception gagne en robustesse.

Le code RTL synthétisé avec les instruments embarqués

de ces cœurs IP, permet de positionner ces blocs à n'importe quel niveau de la hiérarchie de la conception VHDL en cours, ceci afin de connecter les instruments choisis ou construits aux nœuds et aux bus du circuit. Parmi la liste d'instruments mis à disposition, on trouve des déclenchements (parallèles, série, sur glitch) avec la possibilité de les assembler à l'aide d'équations logiques pour réaliser une machine d'états, un enregistreur (qui joue le rôle d'un analyseur logique traditionnel), des analyseurs de transactions, un analyseur de trafic global (mesure de la charge et de la bande passante sur un bus) et, enfin, un générateur de signaux pseudo-aléatoires.

pas intrusifs et ne gênent pas le fonctionnement du composant. On peut donc, selon ses besoins et les possibilités offertes par la conception, en termes de taille mémoire disponible notamment, dimensionner précisément les capacités des outils d'analyse embarqués. D'autre part, le fait que les instruments soient synthétisés en même temps que la conception, grâce à l'outil de synthèse fourni par le fondeur ou par un éditeur de CAO, leur permet de travailler par la suite à la fréquence de fonctionnement du composant (*).

Une fois la conception synthétisée, les signaux internes du FPGA analysés par les instruments sont acheminés vers l'extérieur via un port parallèle ou un port Jtag. Celui-ci, créé lors de la synthèse, est doté de quatre fils supplémentaires afin de travailler à des vitesses élevées, jusqu'à 60 MHz. Les transactions sont ensuite visualisées et analysées soit sur un outil externe propre à l'utilisateur via le port Jtag (comme une sonde BDM par exemple), soit sur l'outil de visualisation et de contrôle de Temento. A partir de cette inter-

face, il est ainsi possible grâce aux triggers intégrés dans le FPGA d'arrêter la séquence d'un processeur embarqué, donc de s'arrêter sur une ligne de code, puis de corréliser cette information avec les données fournies par l'analyseur logique. Cette possibilité ouvre la voie à un véritable travail de covérification matériel/logiciel à l'intérieur du FPGA, une opération jusque-

là très difficile à réaliser. En termes d'occupation mémoire de l'instrumentation, il n'y a pas de limites, puisque celle-ci dépend de la place dont on dispose sur le composant choisi et des contraintes propres à l'application en capacité mémoire. On estime cependant que, si 15% de la surface du composant est réservée à de l'instrumentation, la conception gagne en robustesse. L'offre de Temento, qui a vocation à être vendue sous une forme OEM, intéresse de très nombreux acteurs du marché et des accords de partenariats ont d'ores et déjà été signés avec des sociétés comme PLD Applications ou, tout récemment, Altera. Le prix de licence de la solution est de 2800€ (prix qui inclut l'outil de génération DLI Core Generator, l'outil de connexion des cœurs à la conception DLI Core Insertor et l'outil de débogage DLI Core Control & Display).

FRANÇOIS GAUTHIER

(* Dans les solutions proposées par les fondeurs, les blocs IP d'instrumentation sont synthétisés à part, par une voie distincte de la synthèse globale de la conception.