

CAO ÉLECTRONIQUE

Les flots de *FPGA* complexes se structurent

Les flots de conception fournis par les fournisseurs de FPGA deviennent de plus en plus performants, surtout au niveau du placement-routage.

Pour les autres briques logicielles, comme la simulation ou la synthèse, des accords avec les éditeurs traditionnels d'outils de CAO permettent de proposer aux concepteurs des flots complets et sécurisés.

Face à l'augmentation de la complexité des FPGA actuels, dotés pour les modèles haut de gamme de plusieurs millions de portes et intégrant un ou plusieurs cœurs de processeurs, les fabricants comme Altera, Xilinx, Actel ou Lattice ont, petit à petit, investi dans leur propre flot de conception. Au point qu'aujourd'hui, le marché se trouve dans une position paradoxale. En effet, le nombre de projets à base d'Asic est en chute régulière (de 10500 conceptions en 1996 à moins de 2500 prévues en 2005, selon une étude récente de la société d'analyse de marché American Technology Research) alors que, parallèlement, le nombre de projets à base de FPGA est en forte augmentation: 300000 projets en 2001, 500000 en 2004, selon Dataquest. Or, d'un côté, les acteurs traditionnels de la CAO ont bâti toute leur croissance et leur modèle économique sur le marché de l'Asic; de l'autre, les fabricants de FPGA ont construit leur succès sur la vente de composants, tout en investissant au fur et à mesure de la complexité croissante de leur puce dans des outils de développement performants. Le déséquilibre de la situation réside dans le fait que ces fournisseurs de puces programmables ont toujours pratiqué la fourniture gratuite ou

quasi gratuite de leurs outils, alors qu'aujourd'hui ces derniers atteignent des niveaux de sophistication très élevés. Par exemple, chez Altera le prix de licence de l'environnement Quartus II est de 2000 \$, chez Xilinx ISE 6i démarre à 695\$ et chez Actel Libero est proposé à un prix de licence par siège de 995\$, sans compter les versions allégées qui sont téléchargeables gratuitement via Internet.

Simulation et synthèse: accords fréquents avec les éditeurs de CAO

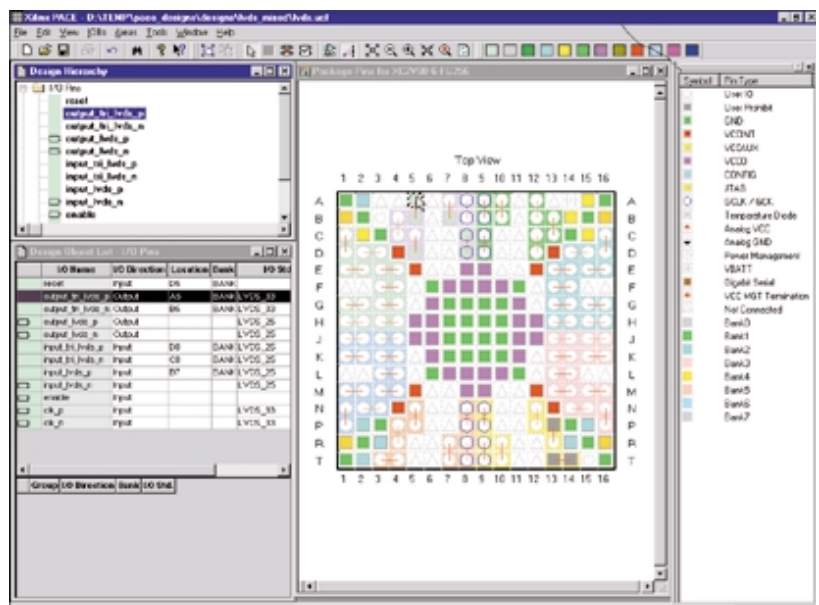
Lorsque ces outils de conception portaient sur le développement de composants relativement simples, les frontières entre outils de CAO du monde de l'Asic et outils de développement pour FPGA étaient bien étanches. Maintenant, ce n'est plus le cas. Les développeurs de FPGA complexes ont en effet besoin de construire un flot de conception sécurisé, avec des outils efficaces à chaque étape de la conception. D'ailleurs, du fait de la chute brutale du nombre de projets à base d'Asic, des développeurs issus de cette culture se retrouvent à travailler sur de gros FPGA et sont exigeants sur la qualité du flot de conception. Pour les fabricants de FPGA, on comprend donc leur

intérêt à fournir une suite logicielle de plus en plus performante, puisque finalement c'est à travers leurs outils (notamment le placement-routage) que l'utilisateur évalue la technologie de son fournisseur. De plus, fournir une suite complète permet, même si les fabricants s'en défendent, d'enfermer quelque peu l'utilisateur dans une seule technologie.

De cette situation découlent deux tendances: d'un côté, les fabricants de FPGA sont à même de fournir des flots complets en ajoutant de nouveaux outils, comme par exemple l'analyse statique de timing, et en investissant fortement sur certains outils, notamment le placement-routage; de l'autre, les éditeurs de CAO s'intéressent désormais à ce marché et proposent des outils complémentaires et indispensables à ceux fournis par les fabricants de FPGA, surtout pour les développements de circuits logiques programmables haut de gamme. Du reste, des collabo-

ration très étroites se nouent fréquemment depuis quelques années entre fabricants de FPGA et éditeurs de CAO.

C'est le cas par exemple au niveau de la simulation. Il est clair que ce n'est pas le rôle des fabricants de FPGA de travailler sur ce type de technique. Même si certains comme Lattice ou Altera proposent leur propre simulateur, en règle générale, la simulation est réalisée par des outils externes. Dans ce domaine, Mentor Graphics se taille la part du lion car pratiquement tous les flots de conception de FPGA possèdent, suite à des accords, une version de son simulateur ModelSim. Cet outil est fourni soit en version bridée donc lente (mais gratuite), soit en version plus évoluée, mais dans ce cas il faut acquiescer des droits de licence (ce qui au passage augmente le coût d'un flot de conception de FPGA). Chez les fabricants, on trouve aussi des accords avec Cadence et son simulateur NC Sim ou, plus rarement, avec



L'outil Pace (Pinout and area constraint editor) de Xilinx gère les informations physiques et logiques liées aux broches d'un FPGA, en amont d'un projet de conception.

Synopsys et son outil Sirocco. Côté synthèse, la situation est plus contrastée. Certes, les fabricants de FPGA fournissent désormais leur propre outil de synthèse. Celui-ci convient dans la plupart des cas. Mais, dès que la conception est plus sophistiquée (fréquence élevée, nombre de portes importantes, contraintes de timing forte), bien souvent ces outils ne donnent pas des résultats satisfaisants ou du moins optimisés. Il est alors nécessaire d'avoir recours à des outils issus de tierces parties, comme l'outil de synthèse de Synplicity, Synplify Pro, qui a su se tailler une part de marché extrêmement importante sur ce créneau (estimée aux alentours de 60 % en termes de chiffre d'affaires). On trouve aussi fréquemment l'outil Precision RTL de Mentor (ou son prédécesseur Leonardo Spectrum) et, beaucoup plus rarement, Design Compiler de Synopsys. La principale raison pour passer d'un moteur de synthèse propre aux fabricants de FPGA à des outils externes est liée aux contraintes de timing de la conception. Lorsque celles-ci sont fortes et que l'on veut malgré tout optimiser le rapport surface/rapidité, les outils de synthèses externes ont tendance à obtenir une convergence plus rapide.

L'innovation est au niveau des outils de placement-routage

Une fois cette synthèse réalisée, la phase de placement-routage est réalisée exclusivement par des outils propres aux fabricants de FPGA. Une situation somme toute naturelle, puisqu'ils sont aux premières loges pour connaître très précisément les caractéristiques physiques de leurs circuits. C'est d'ailleurs en partie à ce niveau que les fabricants peuvent se différencier entre eux par la qualité et la rapidité de convergence du routage réalisé. Et c'est cette brique du flot qui bénéficie des évolutions les plus fortes.

Chez Altera, la dernière version de Quartus II dispose d'un outil de placement intelligent, capable d'examiner si les éléments logiques sont positionnés de manière optimale et d'analyser les chemins critiques. Cet outil intègre aussi la fonction Logic Clock qui

Flots de conception des fabricants de FPGA				
Editeur	Actel	Altera	Lattice	Xilinx
Nom du flot	Libero 5.0	Quartus II 3.0	IspLever 3.1	ISE 6.1i
Points marquants des nouvelles versions	Vue graphique de la conception au niveau physique et logique; éditeur de paramétrage des E/S; outil de calcul de la consommation du circuit (SmartPower)	Compilation incrémentale; conception et implantation indépendantes de modules (fonction logic clock); outil graphique de connexion d'IP et de cœurs de processeurs (SOPC Builder)	Outil de gestion de projet; simulateur propre avec édition et visualisation des chronogrammes; outil d'analyse et d'estimation de temps critiques sans recompilation	Préplacement de blocs intégrant des contraintes de timing; assignation automatique des broches du FPGA pour le circuit imprimé; outil de débogage temps réel avec déclenchement croisé avec le logiciel
Principaux outils tiers utilisés dans le flot	Simulation ModelSim (Mentor) Génération de testbench Wave Former Lite 9.0 (SynpaticCAD) Synthèse Leonardo, Precision (Mentor), Synplify 7.3 (Edition Actel de Synplify de Synplicity) Synthèse physique Palace (Magma)	Simulation ModelSim (Mentor), NC Sim (Cadence), Sirocco (Synopsys) Synthèse Design Compiler (Synopsys), Leonardo, Precision (Mentor), Synplify FPGA (Synplicity) Analyse statique de délais Prime Time (Synopsys)	Simulation ModelSim (Mentor) Synthèse Synplify FPGA (Synplicity)	Simulation NC Sim, Verilog XL (Cadence), ModelSim (Mentor), VCS, Sirocco (Synopsys) Synthèse Synplify (Synplicity), Leonardo, Precision (Mentor), FPGA Compiler, Design Compiler (Synopsys) Synthèse physique Palace (Magma)

autorise l'utilisateur à figer au moment du placement certains blocs de son design, puis de recompiler d'autres parties logiques du FPGA sans toucher au bloc verrouillé.

Chez Xilinx, la version 6.1i du flot ISE, introduite en septembre dernier, offre selon le fabricant un gain de 31 % au niveau de la vitesse du routage, une densité de placement plus forte de 23 % et une amélioration de 15 % dans l'utilisation logique de la surface du FPGA. Cet environnement de placement-routage permet, par exemple, de créer des interfaces pour mémoires haute vitesse à 200MHz grâce à un routage automatique des signaux d'horloge. Chez Actel, enfin, l'outil de pré-placement ChipPlanner permet de créer graphiquement des régions distinctes au sein d'un FPGA, de leur assigner leur logique, puis d'analyser la conception sous différents angles : logique (la netlist), physique (les placements des blocs avec leurs contraintes associées), au niveau des cellules d'E/S ou au niveau des nœuds. Ce logiciel génère en outre de manière automatique les contraintes de placement des blocs, informations utilisées ensuite par l'outil de placement-routage automatique qui va travailler en tenant compte de ces contraintes.

La maîtrise des délais de propagation des signaux au sein d'un FPGA devenant de plus en plus critique, les fournisseurs de ces circuits ont ajouté depuis peu à leur flot des outils d'analyse sta-

tique de timing. Ces logiciels permettent de réaliser, avant la phase de placement-routage, une estimation des délais d'interconnexion entre cellules. Ils sont de plus en plus utilisés, car une des difficultés rencontrées dans la conception à base de FPGA est la maîtrise des temps de propaga-

tion des signaux sur la matrice d'interconnexion du composant. Les principaux fabricants comme Altera, Xilinx, Actel ou Lattice ont leur propre outil et le recours à des outils externes, comme l'incontournable Prime Time de Synopsys dans le monde de l'Asic, reste une exception.

Le navigateur « Multivue », intégré dans le flot de conception d'Actel, permet de visualiser le FPGA sous divers angles, logiques, physiques, entrées-sorties et netlists.

Lorsque les problèmes de timing apparaissent, il est aussi parfois nécessaire d'avoir recours à une synthèse physique de la conception; c'est-à-dire une synthèse qui tienne compte d'un ensemble de données physiques relatives au circuit qui n'existent pas au niveau RTL. Pour l'instant, le recours à cette étape reste cantonné à des cas particuliers, sur des projets complexes.

Mais le besoin se fait de plus en plus sentir. Seul pour l'instant parmi les fabricants de FPGA, Altera possède ce type d'outil notamment pour l'optimisation des tables LUT et la duplication des registres. Côté éditeurs de CAO, Synplicity propose à ce

niveau son outil Amplify FPGA. Mentor Graphics, pour sa part, vient d'introduire l'outil Precision Physical qui permet de reprendre une partie de la conception, là où il existe des chemins critiques. Cet outil peut être associé aux flots d'Altera et

Xilinx, pour les circuits Stratix et Virtex-Pro. Enfin, Actel vient de signer un accord de partenariat avec Magma Design Automation pour intégrer au sein de son flot Libero l'outil de synthèse physique Palace.

Des lacunes et des outils uniques

Au niveau des outils de vérification, un manque important au sein des flots de conception de FPGA concerne la vérification du code RTL. Il est vrai qu'avec un FPGA on peut réaliser des itérations entre son application et le composant lui-même, du fait qu'il est reprogrammable. Mais, pour les projets complexes, il est sans doute préférable d'adopter une méthodologie rigoureuse qui permette de réaliser une application correcte le plus en amont possible, donc d'y introduire par exemple des outils de preuve formelle. L'objectif est de sécuriser son développement. A ce niveau, il faut aller chercher des outils à l'extérieur, aucun fournisseur de FPGA ne fournissant ce type de logiciel.

Cependant, si l'on s'intéresse à la vérification de la conception au niveau du circuit lui-même, une fois le placement-routage réalisé, les fabricants de FPGA proposent des technologies spécifiques basées sur l'instrumentation du circuit reprogrammable. Par exemple chez Altera, le procédé Signal Probe permet de diriger vers une des broches du composant non utilisées les signaux

logiques de l'application, que l'on peut étudier en connectant directement un analyseur logique. Toujours chez Altera, la technologie Signal Tape II consiste à se servir de la logique du FPGA pour y implanter la fonction analyseur logique, afin d'étudier les interactions entre logiciel et matériel. On retrouve une approche similaire avec l'outil ChipScope de Xilinx, ou bien chez des fournisseurs externes, comme le français Temento, ou encore plus récemment chez Altium dans sa récente offre Nexar (Actualité p.14).

D'autres outils, sur lesquels les éditeurs de CAO traditionnels ne se sont pas encore penchés, sont proposés par les fabricants de FPGA. On peut citer les outils de gestion des broches, comme le logiciel Pace de Xilinx qui permet d'introduire des informations sur la physique des broches (niveaux de tension de sortie, par exemple) dès l'écriture du code VHDL. Une fonction qui permet de s'interfacer avec les outils de CAO de la carte qui va accueillir le FPGA, sans attendre que la conception complète du circuit soit achevée.

Reste un point noir: l'analyse de la consommation. Cet aspect important n'est pour l'instant pris en compte de manière rationnelle ni en amont du flot ni au moment du placement-routage qui optimise avant tout le rapport surface/rapidité.

Cependant, chez Xilinx, l'outil Xpower qui utilise les fichiers VCD (Value change dump, fichiers standard issus des logiciels de simulation) analyse la consommation d'un circuit à $\pm 7\%$, selon le fabricant. Chez Actel, le logiciel SmartPower calcule la consommation dissipée par le circuit en faisant aussi appel à des données de la simulation. Malgré ces avancées, il manque à ce jour des outils qui prennent en compte la consommation, en tant que véritable contrainte, au niveau du placement-routage de l'application sur un circuit reprogrammable.

FRANÇOIS GAUTHIER
(CHEF DE RUBRIQUE)

